

DIALOG(R)File 352:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

008122225 ****Image available****

WPI Acc No: 1990-009226/199002

XRAM Acc No: C90-003961

XRPX Acc No: N90-007093

**Thin-film transistor array for coloured LCD device - has complete
electrical sepn. between first and second semiconductor films**

Patent Assignee: SHARP KK (SHAF)

Inventor: HAMADA H; HISHIDA T; NAGATOMI H; SHOJU H; SHOJI H

Number of Countries: 006 Number of Patents: 007

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
EP 349255	A	19900103	EP 89306492	A	19890627	199002	B
JP 2013928	A	19900118	JP 88165464	A	19880701	199009	
US 5155564	A	19921013	US 89371221	A	19890626	199244	
			US 90617921	A	19901121		
EP 349255	A3	19920408	EP 89306492	A	19890627	199328	
KR 9205804	B1	19920718	KR 899374	A	19890701	199441	
EP 349255	B1	19971217	EP 89306492	A	19890627	199804	
DE 68928497	E	19980129	DE 628497	A	19890627	199810	
			EP 89306492	A	19890627		

Priority Applications (No Type Date): JP 88165464 A 19880701

Cited Patents: No-SR.Pub; 2.Jnl.Ref; DE 3640174; JP 60233860; JP 60261174

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
EP 349255	A	E	10		
Designated States (Regional): DE FR GB					
US 5155564	A		8	H01L-027/120	Cont of application US 89371221
EP 349255	B1	E	10	H01L-027/12	
Designated States (Regional): DE FR GB					
DE 68928497	E			H01L-027/12	Based on patent EP 349255
KR 9205804	B1			H01L-021/90	

Abstract (Basic): EP 349255 A

A thin-film transistor array comprises: (1) an array of thin film-transistors disposed in a matrix form on an insulating substrate (25); (2) an array of parallel gate bus lines (22) each of which is connected electrically with the gate electrodes of the thin-film transistors in the corresp. matrix row, (3) an array of source bus line (20) each of which is perpendicular to the gate bus lines (22) and is connected electrically with the source electrodes of the thin-film transistors in the corresp. matrix column.

Located at the intersection (X2) of the gate bus lines (22) and source bus lines (20), a layered structure comprising successively a gate insulating film (27), a first semiconductor film (28), a protective insulating film (29), and a second semiconductor film (30)

connected electrically with the source bus line. The width of the protective insulating film (29) in the direction in which the gate bus line (22) extends is equal to or greater than that of the second semiconductor film (30) in that direction.

USE/ADVANTAGE - Esp. as coloured liq.-crystal display devices such as television receivers. The total electric capacity of the intersections is decreased so that the driving load, and hence the cost of source and gate drivers is reduced.

3/11

Title Terms: THIN; FILM; TRANSISTOR; ARRAY; COLOUR; LCD; DEVICE; COMPLETE;

ELECTRIC; SEPARATE; FIRST; SECOND; SEMICONDUCTOR; FILM

Index Terms/Additional Words: LIQUID; CRYSTAL

Derwent Class: L03; P81; U12; U14

International Patent Class (Main): H01L-021/90; H01L-027/12; H01L-027/120

International Patent Class (Additional): G02F-001/13; H01L-023/485;

H01L-027/105; H01L-029/540; H01L-029/784

File Segment: CPI; EPI; EngPI

DIALOG(R)File 347:JAPIO
(c) 2004 JPO & JAPIO. All rts. reserv.

03038428 ****Image available****
THIN FILM TRANSISTOR ARRAY

PUB. NO.: **02-013928** [JP 2013928 A]
PUBLISHED: January 18, 1990 (19900118)
INVENTOR(s): HISHIDA TADANORI
 SHOJI HAJIME
 HAMADA HIROSHI
 NAGATOMI HISATO
APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP
 (Japan)
APPL. NO.: 63-165464 [JP 88165464]
FILED: July 01, 1988 (19880701)
INTL CLASS: [5] G02F-001/136; H01L-021/90; H01L-027/12; H01L-029/784
JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R096 (ELECTRONIC
MATERIALS -- Glass
 Conductors)
JOURNAL: Section: P, Section No. 1027, Vol. 14, No. 158, Pg. 23, March
 27, 1990 (19900327)

ABSTRACT

PURPOSE: To reduce the driving load of a driver by decreasing the capacity of a part where a source wiring and a gate wiring intersect.

CONSTITUTION: Since the second amorphous semiconductor film 30 and the first amorphous semiconductor film 28 are separated electrically, the capacity is formed by the first amorphous semiconductor film 28, a protective insulating film 29 and the second amorphous semiconductor film 30, as well. This capacity is connected in series to the capacity which is formed by a gate wiring 22, a gate insulating film 27 and the first amorphous semiconductor film 28, therefore, the whole capacity in an intersection part X2 is reduced. In such a way, the driving load of a thin film transistor array can be reduced.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-13928

⑤ Int. Cl.⁵

G 02 F 1/136
H 01 L 21/90

識別記号

5 0 0 W

庁内整理番号

7370-2H
6824-5F
8624-5F

④ 公開 平成2年(1990)1月18日

H 01 L 29/78 3 1 1 A※

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 薄膜トランジスタアレイ

⑯ 特 願 昭63-165464

⑰ 出 願 昭63(1988)7月1日

⑱ 発 明 者 菱 田 忠 則 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑲ 発 明 者 庄 司 元 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑳ 発 明 者 浜 田 浩 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

㉑ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

㉒ 代 理 人 弁理士 山本 秀策
最終頁に続く

明 細 書

1. 発明の名称

薄膜トランジスタアレイ

2. 特許請求の範囲

1. ゲート配線とソース配線とが交差している部分に於いて、該ゲート配線と該ソース配線との間にゲート絶縁膜と、第1の非晶質半導体膜と、絶縁膜と、不純物がドーパされた第2の非晶質半導体膜とが順次に積層された積層構造が形成されており、該第2の非晶質半導体膜と該ソース配線とが電気的に接続されている薄膜トランジスタアレイであって、

該交差部分に於いて、該絶縁膜の該ゲート配線が延伸している方向の端部が、該第2の非晶質半導体膜の該方向の端部と重なっているか、それよりも該方向に突出している薄膜トランジスタアレイ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、例えばカラー液晶表示装置に用いら

れる薄膜トランジスタアレイの改良に関し、特にゲート配線とソース配線とが交差する部分に於ける薄膜構造が改良された薄膜シリコントランジスタアレイに関する。

(従来の技術)

従来の薄膜トランジスタアレイの代表例として、液晶表示パネル装置に用いられている薄膜シリコントランジスタアレイの一例を第4図に示す。この例では、アクティブマトリクス型の液晶表示装置を構成するために、多数の薄膜トランジスタ1がマトリクス状に配置されている。各薄膜トランジスタ1は、ゲート配線2より走査信号を入力することにより駆動される。また、ソース配線3により画像信号が入力され、薄膜トランジスタ1により絵素電極4を介して液晶が動作される。

このような従来の薄膜トランジスタアレイでは、ゲート配線2とソース配線3の交差部分X1は、第5図～第7図に示すように構成されていた。即ち、ガラス基板等よりなる絶縁性基板5上に、1000～4000Å厚のTaよりなるゲート配線

2が形成されている。ゲート配線2上には、陽極酸化により、その表面に Ta_2O_5 絶縁膜6が形成されている。また、その上にプラズマCVDにより、1000～3000Å厚の SiN_x よりなるゲート絶縁膜7、100～200Å厚のa-Si膜8、及び1000～4000Å厚の SiN_x よりなる保護絶縁膜9が順次に堆積されている。保護絶縁膜9は堆積された後にエッチングによりパターンニングされている。その後、100～1000Å厚のリンドープn'-a-Si膜10が堆積され、このn'-a-Si膜10及びa-Si膜8を同時にパターンニングすることにより、図示の形状にされている。尚、交差部分X1のゲート配線2の延びる方向の両側では、第7図に示されているように、n'-a-Si膜10及びa-Si膜8よりも、 SiN_x 保護絶縁膜9の幅が狭くされている。

ソース配線3及びドレイン配線11(第5図)は、Tiを堆積しパターンニングすることにより、上記積層構造の上に形成されている。絵素電極4については、ITOのような透明導電膜を堆積し

た後パターンニングすることにより形成される。

上述のような薄膜シリコントランジスタアレイを用いた液晶表示装置によれば、画素間のクロストークを軽減することができるので、大容量・高画質の表示を得ることが可能である。

(発明が解決しようとする課題)

このような液晶表示装置等の薄膜トランジスタアレイを用いた装置は、パネル構造が複雑化するため、現在のところ極めて高価なものになるという問題があった。薄膜トランジスタアレイ自体は、上述のような構造を有するため、そのコストの低減は困難である。そこで、薄膜トランジスタアレイを用いた装置(例えば、液晶表示装置等)の価格を低減するための一手段として、より安価なドライバを接続することが考えられる。

しかしながら、上記した従来の薄膜トランジスタアレイでは、後述のようにソース配線3とゲート配線2との交差している部分X1に於いては、ゲート配線2、絶縁膜6、7、及びa-Si膜8によって容量が形成されており、その容量が比較

的大きいため、駆動負荷が大きくなる。従って、大きな駆動容量を有するソースドライバ及びゲートドライバを接続しなければならず、安価なドライバを接続することが困難であった。

よって、本発明の目的は、ソース配線とゲート配線とが交差している部分の容量を減少させることにより、ドライバの駆動負荷を低減させ得る構造を備えた薄膜トランジスタアレイを提供することにある。

(課題を解決するための手段)

本発明の薄膜トランジスタアレイは、ゲート配線とソース配線とが交差している部分に於いて、該ゲート配線と該ソース配線との間にゲート絶縁膜と、第1の非晶質半導体膜と、絶縁膜と、不純物がドーパされた第2の非晶質半導体膜とが順次に積層された積層構造が形成されており、該第2の非晶質半導体膜と該ソース配線とが電気的に接続されている薄膜トランジスタアレイであって、該交差部分に於いて、該絶縁膜の該ゲート配線が延伸している方向の端部が、該第2の非晶質半導

体膜の該方向の端部と重なっているか、それよりも該方向に突出しており、そのことにより上記目的が達成される。

(作用)

ゲート配線の上に配置された第1の非晶質半導体膜は、ゲート配線がオン状態の場合には電荷が蓄積されるので導体とみなされる。上述のような本発明の構成では、該第1の非晶質半導体膜の上に形成されている保護絶縁膜は、その上に形成された第2の非晶質半導体膜よりも幅広に、或いは同じ幅に形成されている。従って、上下に配置された該第2の非晶質半導体膜と第1の非晶質半導体膜とが電気的に完全に分離される。

このように、第2の非晶質半導体膜と第1の非晶質半導体膜とが電気的に分離されているので、第1の非晶質膜、保護絶縁膜、及び第2の非晶質半導体膜によっても容量が形成される。この容量は、ゲート配線、ゲート絶縁膜、及び第1の非晶質膜で形成される容量と直列に接続される。そのため、交差部分に於ける全体の容量が低減され、

薄膜トランジスタアレイの駆動負荷の低減が可能となる。

(実施例)

本発明を実施例について以下に説明する。

第1図～第3図を参照して、本発明の一実施例を説明する。第1図は、薄膜シリコントランジスタアレイの一部を拡大して示す平面図である。第2図及び第3図は第1図のⅡ-Ⅱ線及びⅢ-Ⅲ線に沿う拡大断面図である。

第1図において、ゲート配線22とソース配線23との交差する部分X2に後述する本発明の一実施例が構成されている。尚、第1図において、21は薄膜トランジスタを、24は絵素電極を示す。本実施例の製造工程を以下に説明することにより、交差部分X2の積層構造を明らかにする。

まず、ガラス基板等の絶縁性基板25上に、1000～4000Å厚のTaよりなるゲート配線22を形成し、陽極酸化によりゲート配線表面にTa₂O₅絶縁膜26を形成する。次に、プラズマCVDにより、1000～3000Å厚のゲート

絶縁膜27、100～200Å厚のa-Si膜28、1000～4000Å厚のSiN_x保護絶縁膜29を順次に堆積する。更に、このSiN_x保護絶縁膜29をエッチングによりパターニングする。

しかる後、100～1000Å厚のリンドープn⁺-a-Si膜30を堆積し、n⁺-a-Si膜30及びa-Si膜28を同時にパターニングする。この時、ゲート配線22の延びる方向の両側において、第3図に示すように、n⁺-a-Si膜30の幅をSiN_x保護絶縁膜29より狭く形成する。

次に、ソース・ドレイン配線用金属として、Tiを堆積しパターニングすることによりソース配線23及びドレイン配線31を形成する。更に、ITOよりなる透明導電膜を堆積し、パターニングして、絵素電極24を形成する。

この実施例の作用を、第8図～第11図を用いて、前述の従来例と比較して説明する。尚、第8図～第11図では、導体となる部分のみにハッチングを施している。

(1) 従来例に於ける交差部分X1の容量

第8図及び第9図に第6図及び第7図と同様の従来例の断面図を示す。従来例ではゲート配線2がオン状態のとき、ゲート配線2上のa-Si膜8に電荷が蓄積される。従って、第8図及び第9図にハッチングを付して示すように、a-Si膜8を導体と見做すことができる。SiN_x保護絶縁膜9は、導体(第8図及び第9図の斜線のハッチングを付した部分)で包まれていることになり、交差部分X1に於ける容量には影響しない。よって、交差部分X1に於ける容量としては、Ta₂O₅絶縁膜6及びSiN_x保護絶縁膜7に基づくもののみを考えればよい。

即ち、Ta₂O₅絶縁膜6による容量をa、SiN_x保護絶縁膜7による容量をbとし、交差部分X1全体の容量をC₁とした場合、

$$(1/C_1) = (1/a) + (1/b) \text{ となる。}$$

(2) 実施例に於ける交差部分X2の容量

次に、上述の実施例に於ける交差部分X2の容量を考える。第10図及び第11図を参照して、

ゲート配線22がオン状態の場合には、上記と同様にゲート配線22より上方に配置されたa-Si膜28に電荷が蓄積され、ハッチングを施した箇所が導体と見做される。本実施例の場合には、第11図から明らかなように、SiN_x保護絶縁膜29によって、上下のa-Si膜28とn⁺-a-Si膜30とは電氣的に完全に分離している。よって、このSiN_x保護絶縁膜29に基づく容量が、交差部分X2に於ける容量に影響することになる。即ち、SiN_x保護絶縁膜29に基づく容量をxとした場合、交差部分X2全体の容量C₂は、

$$(1/C_2) = (1/a) + (1/b) + (1/x) \text{ となる。}$$

上記C₁及びC₂の計算式から明らかなように、C₂<C₁である。

従って、本実施例によれば、従来例に比べてソース配線とゲート配線の交差部分に於ける容量を効果的に低減し得ることがわかる。

(発明の効果)

以上のように、本発明によれば、保護絶縁膜に

より、その上方に形成された第2の非晶質半導体膜と下方に形成された第1の非晶質半導体膜との間が電氣的に分離される。そのため、保護絶縁膜に基づく容量がソース配線とゲート配線との交差部分の容量に寄与することになり、該交差部分の容量を効果的に低減し得ることが可能となる。従って、本発明の薄膜トランジスタアレイは、その駆動負荷が低減し、接続されるドライバに必要な駆動容量が低減されるので、より安価なドライバにより駆動できるようになる。

また、ドライバに使用するチップを小さくすることができ、その結果マザーのウェハーから作成し得るチップ数が多くなるので、安価なチップを作成することが可能となり、ドライバ価格の低減をも果たすことができる。よって、本発明の薄膜トランジスタアレイを用いることによって、カラー液晶テレビのような表示装置の価格の低減に大きく寄与することになる。

4. 図面の簡単な説明

第1図は本発明の一実施例の要部を拡大して示

す平面図、第2図は第1図のII-II線に沿う拡大断面図、第3図は第1図のIII-III線に沿う拡大断面図、第4図は薄膜トランジスタアレイを用いた液晶表示装置を示す概略平面図、第5図は従来例の薄膜トランジスタアレイの要部を拡大して示す平面図、第6図は第5図のVI-VI線に沿う拡大断面図、第7図は第5図のVII-VII線に沿う拡大断面図、第8図及び第9図は従来例の作用を説明するための断面図、第10図及び第11図は第1図の実施例の作用を説明するための断面図である。

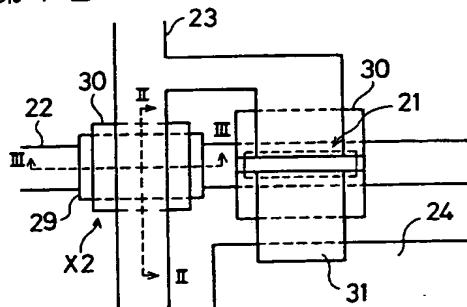
21…薄膜トランジスタ、22…ゲート配線、23…ソース配線、28…a-Si膜(第1の非晶質半導体膜)、29…保護絶縁膜、30…n⁺-a-Si膜(第2の非晶質半導体膜)、X2…交差部分。

以上

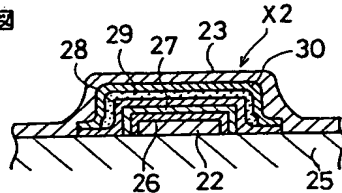
出願人 シャープ株式会社

代理人 弁理士 山本秀策

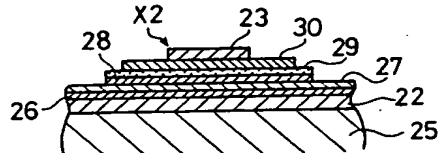
第1図



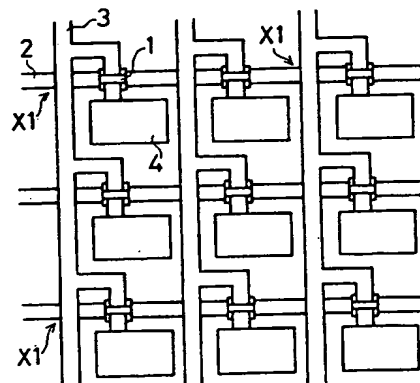
第2図



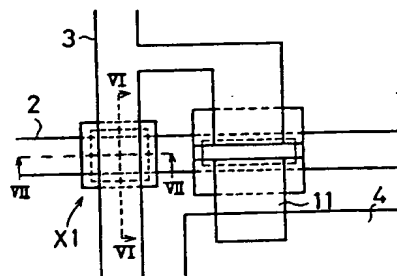
第3図



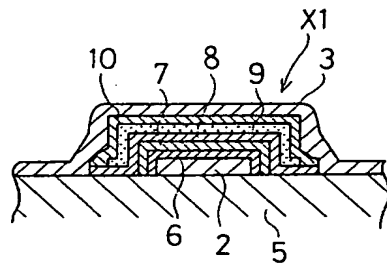
第4図



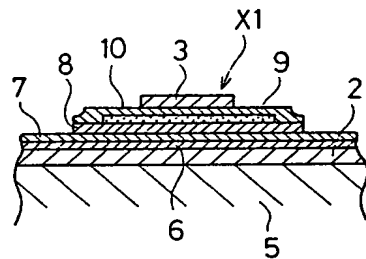
第5図



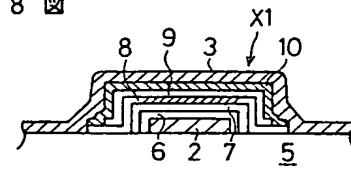
第 6 図



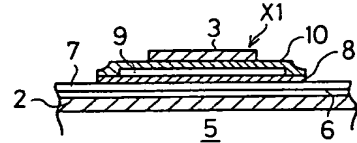
第 7 図



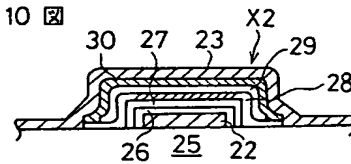
第 8 図



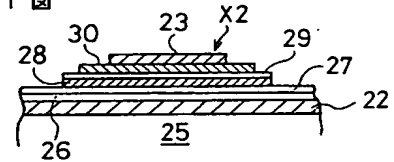
第 9 図



第 10 図



第 11 図



第 1 頁の続き

⑤Int. Cl. 5

H 01 L 27/12
29/784

識別記号

A

庁内整理番号

7514-5F

⑦発 明 者 永 富 久 人

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内